

カスタム IC 設計・評価技術の習得

○渡部 豊喜^{A)}、伊藤 和也^{A)}、澤木 弘二^{B)}

A) 教育・研究技術支援室 装置開発技術系

B) 工学系技術支援室

1 始めに

これまでの電子回路は標準的な素子（IC や抵抗、コンデンサなど）を用いて組み立てられてきた。ユーザーの要求に合わせた回路の IC 化、たとえば小型省電力化、汎用機能削減や特殊機能追加なども行われていたが、製作コストなど大きな負担もあり一般的ではなかった。しかし、IC 試作にかかるコストが大きく低下したことにより、小規模試作が手軽に行われるようになってきており、近々このような技術相談依頼がおきることを期待している。今後の技術要請に向け、カスタム IC（以下 ASIC : Application Specified Integrated Circuit）の設計・製作から、その評価技術までを習得する目的で IC の試作を行った。ここでは、試作までを中心に報告するが、技術その他の情報について秘密保持条約（NDA: Non-Disclosure Agreement）を締結しており、抵触しない範囲の報告をする。

2 IC の設計手順

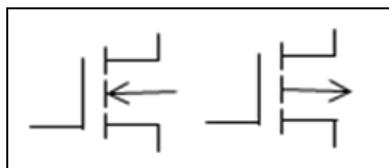
IC の設計・製作や組み立ての手順はおおむね次の通りである。

- 1) 仕様、機能等の決定。
- 2) トランジスタやコンデンサなど基本素子による回路設計。
- 3) シミュレーションによる機能、動作の検証。
- 4) デバイス配置、配線ソフトによる配置、配線。
- 5) レイアウト検証（DRC）、レイアウトと回路図の整合性検証（LVS）などによる評価。
- 6) 全ての作業が正常に終了したのち半導体メーカーへ渡すデータセットを作成しメーカーへ送付。
- 7) チップをパッケージに接着し、ワイヤーボンダーと呼ばれる装置でパッケージと IC を配線。
30 μ m 前後のアルミワイヤーによる配線を行う。
- 8) パッケージングされた IC の評価、組込みを行う。

これまでに動作検証が終了したものであれば7や8を省略し、直接機器に組み込まれることもある。

図1. 1に N,PMOSFET それぞれの回路図記号を示す。

図1. 1

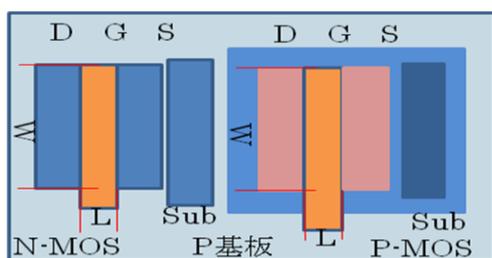


N-MOSFET P-MOSFET の回路図記号

図1. 2に MOSFET の構造をウエハ側から、また図1. 3はウエハの厚さ方向の MOSFET の構造例を模

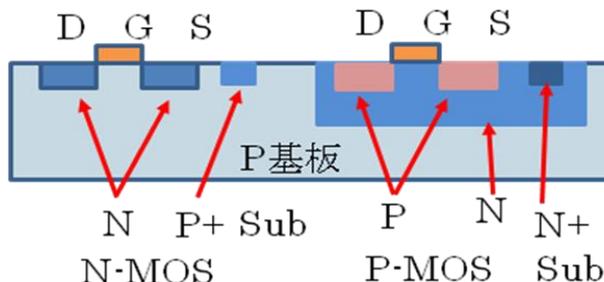
式図として示す。 各図中左側に N タイプを右側に P タイプを示す。

図 1. 2



MOSFET ウエハ上の構造

図 1. 3



MOSFET の縦構造

IC は、MOSFET (ゲート絶縁型トランジスタが標準で、より面積を必要とするバイポーラはあまり使用されない) で設計し、特性の調整等はゲートサイズの縦横比 (W/L: 図 1. 2 参照) や、並列接続する MOSFET の数などで行う。 また抵抗も MOSFET を用いて設計するが、詳細は省く。 今回の試作のために設計したアナログ回路においても P,N のタイプに加え W/L の異なる MOSFET を使用した。

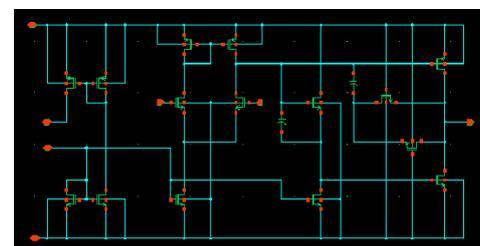
これまで我々は KEK 主催の OpenIt 講習会 (ASIC コース) で用いられてきた半導体メーカーのデータベースを基に設計を進めてきた。 同社のデバイスによるアナログ設計、シミュレーションでは十分な性能が得られていたが、メーカーの変更に伴い、大きく設計変更が必要となった。 回路では、30V デバイスが 5V へと変わり、 g_m と呼ばれる増幅率もかなり小さくなった。 またレイアウトでは、これまで 0.5 μ プロセスであったが 0.35 μ プロセスへとなるなど、3) や 5) で使用するデータベースの置き換えだけにとどまらない対応に迫られた。 また、W/L や M 値 (MOSFET の並列接続数) を入力すると、相当サイズの MOSFET を生成する等のツールセットが未整備であったため、開発環境整備とその検証に多くの時間が必要であった。

2. 1 IC 設計例

今回試作した OP-AMP 回路を示す。 表記されている数値等は便宜上示したのもすべてが設計値とはなっていない。

- 1) 電源電圧: $\pm 2.5V$ 、増幅率: 1000 倍以上
- 2) 回路図を図 1. 4 に示す。回路の動作に関する説明は省略するが、一段の作動増幅回路構成となっている。 また MOSFET のゲートサイズ (W/L) の例では、左上の MOSFET は P-MOS、W/L は 1.4/2.1 としているが、作動入力部は NMOS、W/L を 18.9/1.4 で設計した。 W/L の数値は単位が省略されているが μm である。
- 3) 今回シミュレーション結果は示せないが、機能や仕様を満たすか等の評価を行う。
- 4) 今回は、先に述べた通りツールが十分整備されていないため、設計に用いた数種類のゲートサイズを持つ MOS-FET 素子を製作し、配置後アルミ層による配線を行った。
- 5) DRC、LVS による検証を行う。 図 1. 2、図 1. 3 に示すように、N-MOSFET の場合、P 基板に N 形成を行い、それぞれドレイン (D) ソース (S) 電極とし、ゲート電極 (G) は酸化膜やポリシリコ

図 1. 4

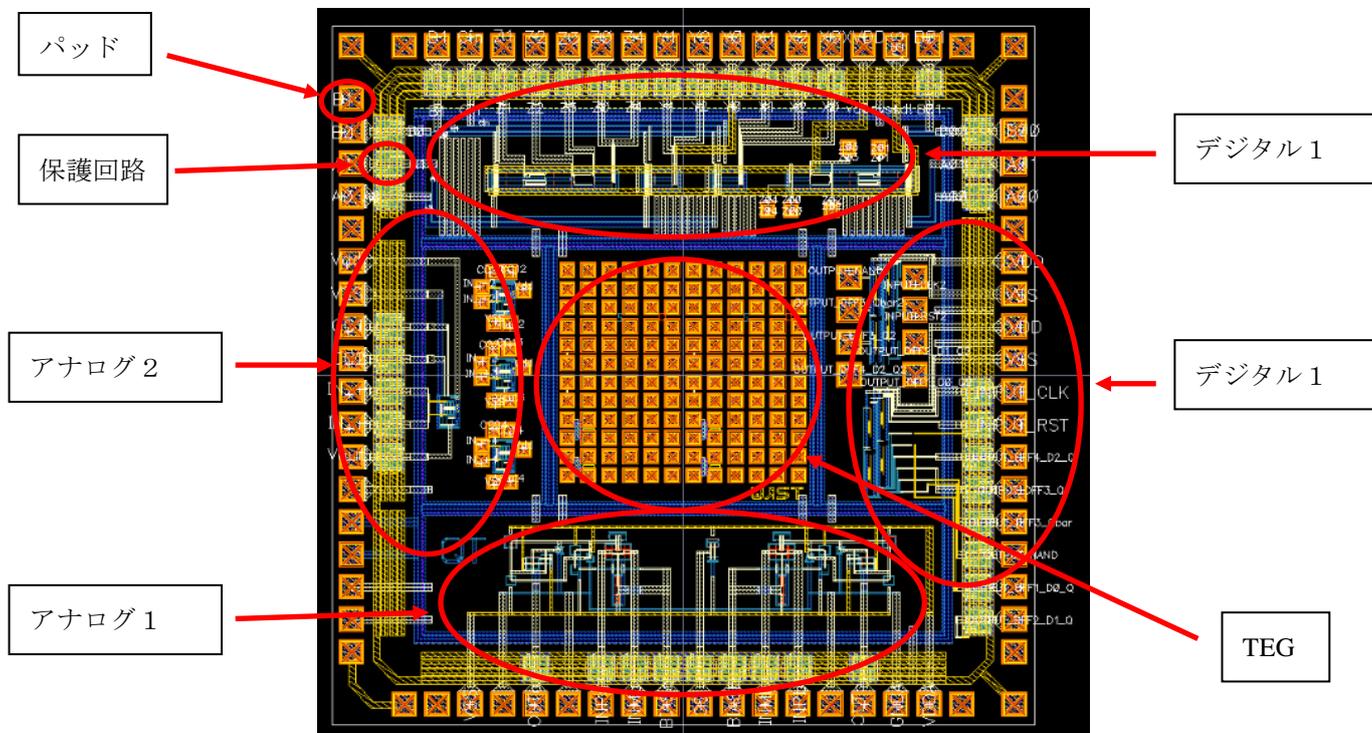


設計したアナログ回路図

ン層を形成して作成されるが、この構成が正しく MOSFET となっているか、また各層ごとに決められた距離を保っているかなどの検証を行う。

最後に、MOS-FET は N と P で動作速度がおおよそ 3 倍の速度差を持つことを考慮した設計とする。

図 1. 5



IC レイアウト

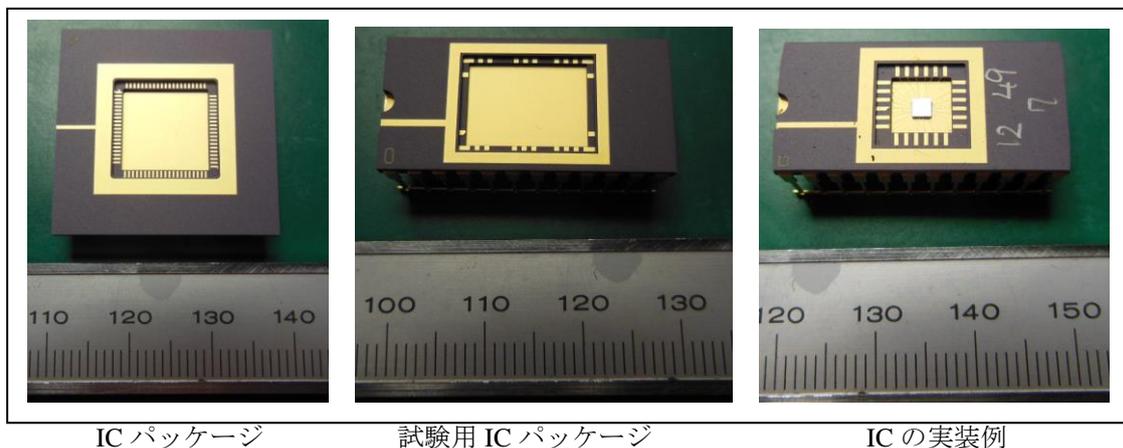
図 1. 5に今回設計した IC レイアウト図を示す。 IC の4辺は外部接続のためのパッドが並んでおり、その内側に保護回路が置かれている。 下側から反時計回りにアナログ1、デジタル1、2アナログ2と回路が並んでおり、中央部には MOSFET など評価試験用チップ (TEG : Test Element Group) が配置されている。これらは IC の性能評価の一部として使用される。

3. 実装

図 1. 6 A

図 1. 6 B

図 1. 6 C



IC パッケージ

試験用 IC パッケージ

IC の実装例

図1. 6 A に IC パッケージを示す。アナログ、デジタルなど一度に試験するためには多くのパッド接続が必要となるが、個別試験を行う場合は図1. 6 B を用い必要に応じ、自分でボンディングを実施する。IC 実装も本研修の一部として実施を予定している。

4. 最後に

現在 IC の製作が行われているため、評価試験はまだ終了していない。チップ入手後性能評価とともに、TEG と呼ばれる評価試験チップ測定を実施し、今後のための資料作りを行う予定である。

また、今回多くの労力をかけて整備した開発環境の有効利用と得られた知見を広めるため、次年度以降の IC の継続的な試作、開発を計画し、合わせて IC 開発の要望、希望等に答えたいと考えている。

NDA のため概略の報告となりましたことを謝罪します。

本プログラム実施にあたり、名古屋大学素粒子宇宙起源研究機構 飯島 徹教授・センター長ならびに、名古屋大学理学部物理教室 N 研 鈴木 一仁特任講師には多大なるご協力をいただきました、心より感謝します。高エネルギー加速器研究機構 (KEK) 田中 真伸氏、島崎 昇一氏、同研究員 根岸 久氏のご協力に感謝します。名古屋大学理学部物理教室 N 研の方々に感謝します。また、本プログラム推進のため多くの方々のご協力を受けました、ここに感謝いたします。本「カスタム IC 設計・評価技術の習得」プログラムは、名古屋大学全学技術センター「平成26年度技術研鑽プログラム」予算により実施しました。なお、実施にあたり「高エネルギー加速器研究機構 (KEK) OpenIt プログラム」ならびに東京大学 VDEC センターの協力を得ました。